

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
YUKIYASU SUGANO et al.)
Serial No.: Not Yet Assigned)
Filed: January 7, 1999)
For: PROCESS FOR PRODUCING THIN)
FILM SEMICONDUCTOR DEVICE AND)
LASER IRRADIATION APPARATUS)

57 P.P.
Selvin
5/22/00

ATTN: APPLICATION BRANCH

JC 584 U.S. PRO
09/478812
01/07/00

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior applications filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

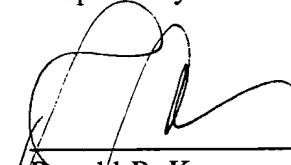
Japanese Patent Appl. No. P11-002384 filed January 8, 1999

Japanese Patent Appl. No. P11-002385 filed January 8, 1999

Japanese Patent Appl. No. P11-012498 filed January 20, 1999

In support of this claim, filed herewith is a certified copy of each said original foreign application.

Respectfully submitted,



Ronald P. Kananen
Reg. No. 24,104

Dated: January 7, 2000

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW
Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc584 U.S. PRO
09/478812
01/07/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

1999年 1月 8日

願番号
Application Number:

平成11年特許願第002384号

願人
Applicant(s):

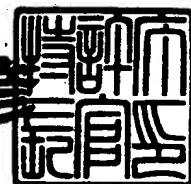
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年11月19日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3080291

【書類名】 特許願
【整理番号】 9801121804
【提出日】 平成11年 1月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/20
【発明の名称】 半導体薄膜製造方法及び半導体薄膜製造装置
【請求項の数】 10
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 菅野 幸保
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 藤野 昌宏
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 真野 三千雄
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 浅野 明彦
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 猪野 益充
【特許出願人】
【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木 晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体薄膜製造方法及び半導体薄膜製造装置

【特許請求の範囲】

【請求項1】 基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜工程と、

所定の断面積を有するレーザ光を該半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換するレーザアニール工程とからなる半導体薄膜製造方法において、

該基板を大気に暴露すること無く前記成膜工程と前記レーザアニール工程とを交互に繰り返して半導体薄膜を重ねていくことを特徴とする半導体薄膜製造方法。

【請求項2】 前記レーザアニール工程は、その前に成膜された半導体薄膜の厚みを d (nm) とし、レーザ光の総エネルギーを TE (J) とし、一括照射される領域の面積を S (cm^2) とすると、 $TE / (d \cdot S)$ が 0.01 乃至 1 の範囲になる条件でレーザ光の照射を行なうことを特徴とする請求項1記載の半導体薄膜製造方法。

【請求項3】 前記レーザアニール工程は、回を重ねる毎にレーザ光のエネルギーを増加すること特徴とする請求項1記載の半導体薄膜製造方法。

【請求項4】 前記成膜工程は、回を重ねる毎に成膜する半導体薄膜の厚みを減少することを特徴とする請求項1記載の半導体薄膜製造方法。

【請求項5】 基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜チャンバと、

所定の断面積を有するレーザ光を該半導体薄膜の所定の領域に一括照射して非晶質又は比較的粒径の小さな多結晶を比較的粒径の大きな多結晶に転換するレーザアニールチャンバとからなる半導体薄膜製造装置において、

該基板を大気に暴露すること無く前記成膜チャンバと前記レーザアニールチャンバとの間で基板を往復移送する手段を有し、成膜とレーザアニールとを交互に繰り返して半導体薄膜を重ねていくことを特徴とする半導体薄膜製造装置。

【請求項6】 前記レーザアニールチャンバは、成膜された半導体薄膜の厚

みを d (nm) とし、レーザ光の総エネルギーを TE (J) とし、一括照射される領域の面積を S (cm²) とすると、 $TE / (d \cdot S)$ が 0.01 乃至 1 の範囲になる条件でレーザ光の照射を行なうことを特徴とする請求項 5 記載の半導体薄膜製造装置。

【請求項 7】 前記レーザアニールチャンバは、回を重ねる毎にレーザ光のエネルギーを増加すること特徴とする請求項 5 記載の半導体薄膜製造装置。

【請求項 8】 前記成膜チャンバは、回を重ねる毎に成膜する半導体薄膜の厚みを減少することを特徴とする請求項 5 記載の半導体薄膜製造装置。

【請求項 9】 半導体薄膜と、その一面に重ねられたゲート絶縁膜と、ゲート絶縁膜を介して半導体薄膜に重ねられたゲート電極とを含む積層構成を有する薄膜トランジスタであって、

前記半導体薄膜は、基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを成膜した後、所定の断面積を有するレーザ光を所定の領域に照射して比較的粒径の大きな多結晶シリコンに一括で転換したものであり、

該基板を大気に暴露すること無く成膜と照射とを交互に繰り返して半導体薄膜を重ねていくことを特徴とする薄膜トランジスタ。

【請求項 10】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された電気光学物質とを有し、一方の基板には対向電極を形成し、他方の基板には画素電極及びこれを駆動する薄膜トランジスタを形成し、該薄膜トランジスタを、半導体薄膜とその一面にゲート絶縁膜を介して重ねられたゲート電極とで形成した表示装置であって、

前記半導体薄膜は、基板の上に非晶質シリコン又は比較的粒径の小さな多結晶シリコンを成膜した後、所定の断面積を有するレーザ光を所定の領域に照射して比較的粒径の大きな多結晶シリコンに一括で転換したものであり、

該基板を大気に暴露すること無く成膜と照射とを交互に繰り返して半導体薄膜を重ねていくことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜半導体装置製造方法及び半導体薄膜製造装置に関する。より詳しくは、レーザアニールにより半導体薄膜を結晶化する技術に関する。

【0002】

【従来の技術】

薄膜半導体装置の製造工程を低温プロセス化する方法の一環として、レーザ光を用いた結晶化アニールが開発されている。これは、絶縁基板上に成膜された非晶質シリコンや比較的粒径の小さな多結晶シリコンなど非単結晶性の半導体薄膜にレーザ光を照射して局部的に加熱した後、その冷却過程で半導体薄膜を比較的粒径の大きな多結晶に転換（結晶化）するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として薄膜トランジスタを集積形成する。この様なレーザアニールを採用することで薄膜半導体装置の低温プロセス化が可能になり、耐熱性に優れた高価な石英基板ではなく、安価なガラス基板が使える様になる。

【0003】

【発明が解決しようとする課題】

従来のレーザアニール装置は、出力エネルギーが小さい為（0.5J程度）、大きな基板の上に形成された半導体薄膜の結晶化を行なおうとすると、例えば200mm×0.6mm程度のライン状にレーザ光を形成することによりエネルギー密度を300mJ/cm²程度とし、このレーザ光を短軸方向に95%程度の重なりでスキャンさせることにより、基板全面に亘る結晶化を行なっていた。しかし、この方法では、レーザの出力安定性が悪く（現状では±10%程度）突発的に強くなったり弱くなったりで結晶の不均一性が生じ、その部分に回路が集積形成されると動作不良の原因となっていた。又、出力のばらつきを出来る限り分散させる為にレーザビームの重なりを99%程度にすることも考えられる。しかし、この方法ではスループットが極端に悪くなり製造コストの増加を招く問題がある。従来のライン状ビームでオーバーラップを95%に設定して結晶化を行なうと、400mm×500mmの基板を処理する為に約6分必要である。これを、99%のオーバーラップでライン状ビームを重ねながら処理すると30分必要になる。加えて、レーザアニールは一般に真空雰囲気下で行なう為基板の

ローディングとアンローディングに5分程度は必要である。

【0004】

そこで、最近は高出力のレーザ装置を用いて、ある程度の領域（40mm×70mm程度）を一度に一括で結晶化する方法が注目されており、例えば特開平7-235490号公報に開示されている。高出力のレーザ装置（5乃至10J以上）を用いて5cm×5cmを超える面積を一括にて結晶化できる。この方法を用いれば、レーザアニールのスループットは1分強となり、ライン状のレーザビームを重ねてスキャニングする方法に比べ5倍程度生産性が改善できる。又、比較的広い領域を一括で結晶化する為、均一性がよく結晶化後の表面ホモジーも改善されることが知られている。しかし、実際は半導体薄膜を成膜した後、基板はレーザアニールを行なうまで大気に晒される為、その表面に大気からの汚染物質やダストなどが付着し、その除去工程が必要となり、一括でアニールを行なってスループットを上げるメリットが半減してしまうという課題がある。加えて、半導体薄膜を成膜した後レーザ光を照射して結晶化を行なうという従来の単純な方式では半導体薄膜の品質の向上に限界があるという課題があった。

【0005】

【課題を解決する為の手段】

上述した従来の技術の課題を解決する為、本発明はレーザアニールの生産性を高めるとともに結晶化された半導体薄膜の品質を改善することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち、本発明は、基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜工程と、所定の断面積を有するレーザ光を該半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換するレーザアニール工程とからなる半導体薄膜製造方法において、該基板を大気に暴露すること無く前記成膜工程と前記レーザアニール工程とを交互に繰り返して半導体薄膜を重ねていくことを特徴とする。好ましくは、前記レーザアニール工程は、その前に成膜された半導体薄膜の厚みをd (nm) とし、レーザ光の総エネルギーをTE (J) とし、一括照射される領域の面積をS (cm²) とすると、TE / (d · S) が0.01乃至1の範囲になる条件でレーザ光の照射を行なうことを特徴とす

る。又、好ましくは、前記レーザアニール工程は、回を重ねる毎にレーザ光のエネルギーを増加すること特徴とする。或いは、前記成膜工程は、回を重ねる毎に成膜する半導体薄膜の厚みを減少することを特徴とする。本発明は又、基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜チャンバと、所定の断面積を有するレーザ光を該半導体薄膜の所定の領域に一括照射して非晶質又は比較的粒径の小さな多結晶を比較的粒径の大きな多結晶に転換するレーザアニールチャンバとからなる半導体薄膜製造装置において、該基板を大気に暴露すること無く前記成膜チャンバと前記レーザアニールチャンバとの間で基板を往復移送する手段を有し、成膜とレーザアニールとを交互に繰り返して半導体薄膜を重ねていくことを特徴とする。好ましくは、前記レーザアニールチャンバは、成膜された半導体薄膜の厚みを d (nm) とし、レーザ光の総エネルギーを T_E (J) とし、一括照射される領域の面積を S (cm^2) とすると、 $T_E / (d \cdot S)$ が 0.01 乃至 1 の範囲になる条件でレーザ光の照射を行なうことを特徴とする。又好ましくは、前記レーザアニールチャンバは、回を重ねる毎にレーザ光のエネルギーを増加すること特徴とする。或いは、前記成膜チャンバは、回を重ねる毎に成膜する半導体薄膜の厚みを減少することを特徴とする。

【0006】

本発明によれば、所定の断面積を有するレーザ光を半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換する際、基板を大気に曝露することなく成膜工程とレーザアニール工程とを交互に繰り返して半導体薄膜を重ねていく。基板の上に成膜された半導体薄膜を大気に曝露することなく直ちにレーザアニールすることで、生産性を改善できるとともに半導体薄膜の表面が大気により汚染されることが無くなる。更に、成膜工程とレーザアニール工程を交互に繰り返して半導体薄膜を重ねていくことにより、非常に結晶性のよい半導体薄膜が最終的に得られる。

【0007】

【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る半導体薄膜製造方法を示す模式的な工程図である。本半導体薄膜製造方法は薄

膜半導体装置の製造プロセスの一環として行なわれ、所定の前工程と後工程との間に実施される。基本的には、基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜工程と、所定の断面積を有するレーザ光を半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換するレーザアニール工程とからなる。特徴事項として、基板を大気に曝露することなく成膜工程とレーザアニール工程とを交互に繰り返して半導体薄膜を重ねていく。この様な真空中連続繰返処理を採用することで、大気からの汚染物質やダストなどを除去する工程が不要となりスループットの向上は目覚ましいものとなる。又、成膜工程とレーザアニール工程を交互に繰り返すこと、高品質の結晶を形成することができる。好ましくは、基板上に成膜された半導体薄膜の厚みを d (nm) とし、レーザ光の総エネルギーを TE (J) とし、一括照射される領域の面積を S (cm^2) とすると、 $TE / (d \cdot S)$ が 0.01 乃至 1 の範囲になる条件でレーザ光の照射を行なう。換言すると、半導体薄膜の単位体積当たりのレーザ光のエネルギー密度を 0.01 乃至 1 の範囲に設定することで高品質の結晶化半導体薄膜が得られる。エネルギー密度が 0.01 以下であると半導体薄膜の加熱が不十分であり、エネルギー密度が 1 を超えると過剰な熱エネルギーの供給により逆に結晶が微細化してしまう。成膜工程とレーザアニール工程とを交互に繰り返す場合、回を重ねる毎にレーザ光のエネルギーを増加することが好ましい。又、回を重ねる毎に成膜する半導体薄膜の厚みを減少することが好ましい。

【0008】

図2は本発明に係る半導体薄膜製造装置の基本的な構成を示すブロック図である。図示する様に、本半導体薄膜製造装置は基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜チャンバ10と、所定の断面積を有するレーザ光を半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換するレーザアニールチャンバ50とからなる。特徴事項として、成膜チャンバ10とレーザアニールチャンバ50との間に真空搬送チャンバ90を備えており、基板を大気に曝露することなく成膜工程とレーザアニール工程とを所望の回数だけ交互に繰り返すことが可能で

ある。尚、真空搬送チャンバ90にはロード／アンロードチャンバ70が接続されている。

【0009】

図3は本発明に係る半導体薄膜製造装置の他の例を示す模式図である。図2に示した例では各チャンバが真空搬送チャンバを中心として放射型に配列されていたのに対し、本例ではロードチャンバ71とアンロードチャンバ72との間に成膜チャンバ10とレーザアニールチャンバ50が直列に接続された構造となっている。但し、成膜工程とレーザアニール工程を繰り返し交互に行なう為、基板は成膜チャンバ10とレーザアニールチャンバ50との間を往復可能である。

【0010】

本発明に係る半導体薄膜製造装置は成膜チャンバ10とレーザアニールチャンバ50の組み合わせである。ここで、レーザアニールチャンバ50に組み込むレーザ装置として従来のスループットの悪い装置を用いると、却って成膜工程をも律速することになってしまう。そこで、本発明では従来の低出力のスキャニング方式のレーザ装置に代え、高出力の一括レーザ装置を用いている。これにより、スループットが大きく改善できた。本発明により、成膜工程とレーザアニール工程とを合わせた工程時間は5分／1枚が可能になる。この場合、成膜に係る時間（約2分）とレーザアニールに係る時間（約1.5分）が同程度である為、タクトタイムは2分／1枚が可能となり、真空接続した効果が大きく表われる。即ち、タクトタイムは処理時間の長い成膜工程で律速されることになる。一方、従来のライン状ビームのスキャニングを用いたレーザ装置を組み込んだ場合には、工程時間は10分／1枚となり、本発明に係る製造方法よりも2倍も時間が増えてしまう。この場合、成膜に係る時間（約2分）とレーザアニールに係る時間（約6分）が異なる為、タクトタイムはレーザアニールで律速され6分／1枚となり、真空接続した効果が非常に小さくなってしまう。ここではライン状レーザ光のオーバーラップ率を95%で計算したが、信頼性を得る為には99%の重なりが必要である。そうするとタクトタイムは15分／1枚となってしまい、真空接続の意味は全くなくなってしまう。更には、従来の真空内処理を行なわない方式を考察すると、レーザアニール工程前の半導体薄膜表面の清浄処理が必要となる為

、タクトタイムは2時間／1枚程度となり、本発明によれば20倍以上のタクトタイムの改善となることが試算できた。

【0011】

図4は、本発明に係る半導体薄膜製造装置に組み込まれる成膜チャンバ10の一例を示す模式図である。成膜チャンバ10は真空排気可能な反応室12からなり、その内部に高周波を印加する電極13と、処理対象となる絶縁基板1を載置するステージ14とを収納しており、所謂プラズマCVD装置である。但し、本発明はこれに限られるものではなく、他の方式の成膜チャンバを用いてもよいことは言うまでもない。ノズル状になった電極13の上部には導入管14が接続しており、バルブを介して所望の反応ガスが導入される。導入管14には高周波電源19が接続されており、電極13に高周波を印加する。一方ステージ14は接地電位に保持されており、その内部には絶縁基板1を加熱する為のヒーター15が格納されている。処理対象となる絶縁基板1はゲートバルブ16を介して真空搬送チャンバ（図示せず）から反応室12に送り込まれる。処理が終わった後、絶縁基板1はゲートバルブ16を介して取り出され、真空搬送チャンバによりレーザアニールチャンバに転送される。反応室12に収納されたステージ14の上に絶縁基板1を載置するとともに、これと対向するノズル状の電極13から反応室12内に所望の反応ガスを供給しながら、高周波電源19で高周波を上部平板電極13に印加すると、プラズマが発生し、絶縁基板1の上に所望の半導体薄膜が形成される。この際には、ステージ14をヒーター15で加熱し、絶縁基板1を所定の温度に保持しておく。

【0012】

図5は、本発明に係る半導体薄膜製造装置に組み込まれるレーザアニールチャンバ50の具体的な構成を示す模式図である。レーザアニールチャンバ50は、高出力のレーザ発振器51と、アッテネータ（減衰器）52と、ホモジナイザを含む光学系53と、処理室54と、ステージ55とを備えている。レーザ発振器51はエキシマレーザ光源を含んでおり、パルス幅が50n s以上のレーザ光を間欠的に放射可能である。ホモジナイザなどを含む光学系53はレーザ発振器51から放射されたレーザ光をアッテネータ52を介して受け入れ、例えば各辺が

10mm以上の矩形断面となる様に整形して、半導体薄膜2に照射する。非単結晶性の半導体薄膜2が予め形成された絶縁基板1は処理室54内のステージ55に搭載されている。ステージ55はXY方向に移動可能である。本例では、ステージ55を駆動することにより、矩形断面のレーザ光を半導体薄膜2に対して相対的にステップ移動しながら、その表面を逐次照射する。尚、アッテネータ52はレーザ発振器51から放出したレーザ光のエネルギーを調整する為に用いられる。光学系53はレーザ光を矩形断面に整形するとともに、矩形断面内でエネルギーが均一に分布する様に調整する。処理室54は真空もしくは窒素ガスなど不活性雰囲気に保たれている。

【0013】

図6は、本発明に係る薄膜トランジスタの製造方法を示す工程図である。薄膜トランジスタは、半導体薄膜2と、その一面に重ねられたゲート絶縁膜3と、ゲート絶縁膜3を介して半導体薄膜2に重ねられたゲート電極5とを含む積層構造を有し、絶縁基板1上に形成される。まず工程(1)で、非晶質性の半導体薄膜2又は比較的小粒径の結晶粒からなる多結晶性の半導体薄膜2を所望の厚みで絶縁基板1上に堆積する。例えばLPCVD法で多結晶シリコンからなる半導体薄膜2を例えば20nmの厚みで成膜する。この後電界加速されたSi+イオンを半導体薄膜2に注入し、これを一旦非晶質化する。続いて工程(2)に進み、半導体薄膜2にエキシマレーザ光を照射して半導体薄膜2を結晶化する。所謂エキシマレーザアニール(ELA)を行なう。この時、工程(1)で成膜チャンバに投入された絶縁基板1は前述した様に大気に曝露されることなく工程(2)でレーザアニールチャンバに搬送される。ここでELAを経た後、再び成膜チャンバに戻って工程(3)に進み、結晶化された半導体薄膜の上に更に結晶化されていない半導体薄膜2を工程(1)と同様にして積層する。工程(4)に進み、真空を破ることなく絶縁基板1を成膜チャンバからレーザアニールチャンバに移し、ELAを行なう。これにより、二層に重ねられた半導体薄膜2は全体が結晶化される。以上の成膜工程とレーザアニール工程を必要な回数だけ交互に繰り返すことで、半導体薄膜2を必要な膜厚まで積層することが可能である。この後工程(5)に進み、半導体薄膜2を素子領域の形状に合わせてパタニングする。島状に

パタニングされた半導体薄膜2をゲート絶縁膜3で被覆する。最後に工程(6)に進み、ゲート絶縁膜3の上にゲート電極5を形成する。ゲート電極5をマスクとしてセルフアライメントにより不純物を半導体薄膜2に注入することで、トップゲート構造の薄膜トランジスタが得られる。尚、本発明はトップゲート構造の薄膜トランジスタだけでなく、ボトムゲート構造の薄膜トランジスタにも応用可能であることは言うまでもない。

【0014】

本発明では、成膜工程とレーザアニール工程を交互に繰り返すことにより、非常に結晶性のよい半導体薄膜が得られた。例えば、1nmの非晶質シリコンを成膜した後、総エネルギーが15Jで30cm×35cmの領域に15mJ/cm²のエネルギー密度で照射したところ、厚みが1nmの半導体薄膜は結晶化した。その後同じ成膜工程とレーザアニール工程を40回繰り返したところ、厚みが40nmの非常に結晶性のよい半導体薄膜が得られた。この半導体薄膜を用いてトップゲート型の薄膜トランジスタを作成したところ、Nチャネル型で移動度が400cm²/Vsに達した。

【0015】

又、厚みが10nmの非晶質シリコンを成膜した後、総エネルギーが15Jのレーザ照射装置を用いて、10cm×15cmの矩形領域に100mJ/cm²のエネルギー密度で照射したところ、半導体薄膜は結晶化した。その後、同一の成膜工程とレーザアニール工程を交互に4回繰り返したところ、40nmの厚みで非常に結晶性のよい半導体薄膜が得られた。この半導体薄膜を用いて薄膜トランジスタを作成したところ、Nチャネル型で移動度が350cm²/Vsに達した。この時の処理時間は8分/1枚であり、十分製造レベルに達していることが分かった。

【0016】

又、発明者が行なった実験の結果、成膜工程における一回当たりの成膜膜厚d(nm)と、レーザアニール工程における総エネルギーTE(J)と、一括照射領域の面積S(cm²)とをパラメータにすると、TE/(d·S)の値(即ち単位体積当たりのレーザエネルギーの密度)が0.01~1の範囲で、半導体薄

膜を結晶化することにより、得られた薄膜トランジスタの移動度が $200 \text{ cm}^2/\text{Vs}$ を超えた。又、一回目で成膜する半導体薄膜の膜厚を薄め（例えば 5 nm ）に設定することにより、結晶の発生確率を制御し、その後二回目の成膜における膜厚を 35 nm とすれば、全体として大きな結晶が得られ、薄膜トランジスタの移動度は $250 \text{ cm}^2/\text{Vs}$ 以上になった。尚、成膜工程とレーザアニール工程とを交互に繰り返す方法で、成膜を繰り返す毎に実効的に膜に照射するエネルギーを増加させることにより、結晶性の改善効果が得られた。この場合、薄膜トランジスタの移動度は $400 \text{ cm}^2/\text{Vs}$ 以上であった。具体的には、処理を重ねる毎に半導体薄膜の膜厚を薄くするか、レーザ光の出力エネルギーを増加させればよい。

【0017】

最後に図7を参照して、本発明に従って製造した薄膜トランジスタを用いたアクティブマトリクス型表示装置の一例を説明する。図示する様に、本表示装置は一対の絶縁基板101、102と両者の間に保持された電気光学物質103とを備えたパネル構造を有する。電気光学物質103としては例えば液晶材料を用いる。下側の絶縁基板101には画素アレイ部104と駆動回路部とが集積形成されている。駆動回路部は垂直スキャナ105と水平スキャナ106とに分かれている。又、絶縁基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直スキャナ105及び水平スキャナ106に接続している。画素アレイ部104には行状のゲート配線109と列状の信号配線110が形成されている。両配線の交差部には画素電極111とこれを駆動する薄膜トランジスタ112が形成されている。薄膜トランジスタ112のゲート電極は対応するゲート配線109に接続され、ドレイン領域は対応する画素電極111に接続され、ソース領域は対応する信号配線110に接続している。ゲート配線109は垂直スキャナ105に接続する一方、信号配線110は水平スキャナ106に接続している。画素電極111をスイッチング駆動する薄膜トランジスタ112及び垂直スキャナ105と水平スキャナ106に含まれる薄膜トランジスタは、本発明に従って作成されたものである。更には、垂直スキャナや水平スキャナに加え、ビデオドライバやタイミングジェネレータを絶

縁基板101内に集積形成することも可能である。

【0018】

【発明の効果】

以上説明したように、本発明によれば、成膜工程と一括照射のレーザアニール工程とを真空中で連続に行なうことにより、スループットの向上が図れる。成膜工程とレーザアニール工程とを真空中で交互に繰り返すことにより、高品質の半導体薄膜を高スループットで形成することが可能になる。本発明により作成した半導体薄膜を活性層とするトランジスタを用いて、アクティブマトリクス型表示装置を作成したところ、非常に歩留りがよく欠陥の少ない高信頼性のパネルが得られた。

【図面の簡単な説明】

【図1】

本発明に係る半導体薄膜製造方法を示す工程図である。

【図2】

本発明に係る半導体薄膜製造装置の一例を示すブロック図である。

【図3】

本発明に係る半導体薄膜製造装置の他の例を示すブロック図である。

【図4】

半導体薄膜製造装置に組み込まれる成膜チャンバの一例を示すブロック図である。

【図5】

半導体薄膜製造装置に組み込まれるレーザアニールチャンバの一例を示すブロック図である。

【図6】

本発明に係る薄膜トランジスタの製造方法を示す工程図である。

【図7】

本発明に係る表示装置を示す模式的な斜視図である。

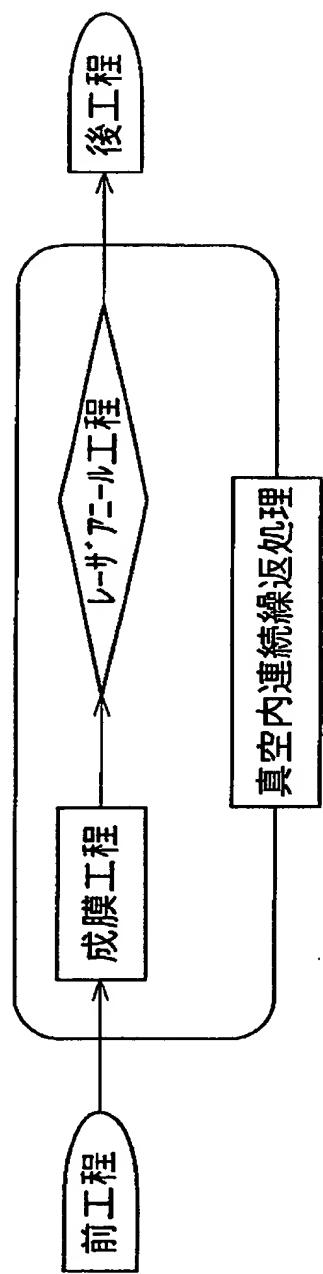
【符号の説明】

1・・・絶縁基板、2・・・半導体薄膜、3・・・ゲート絶縁膜、5・・・ゲー

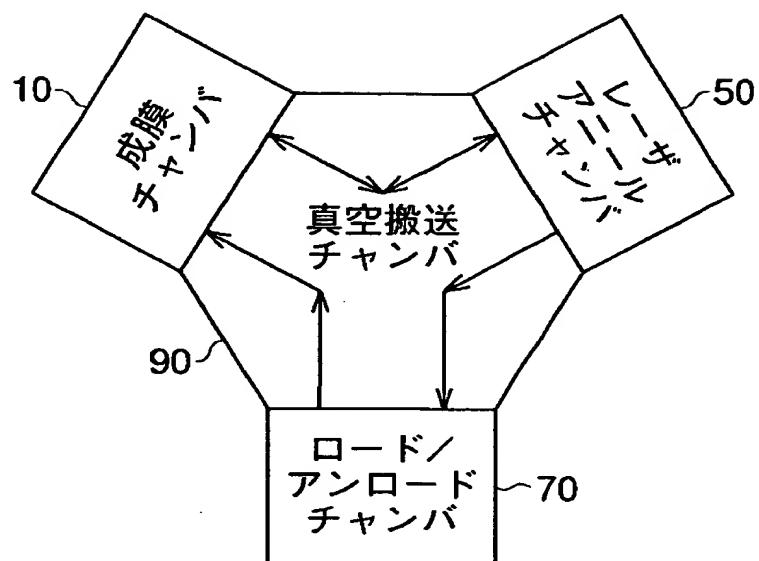
ト電極、10・・・成膜チャンバ、50・・・レーザアニールチャンバ、70・
・・ロード／アンロードチャンバ、90・・・真空搬送チャンバ

【書類名】 図面

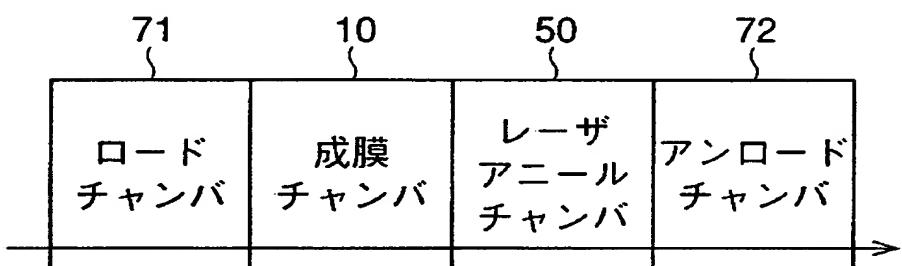
【図 1】



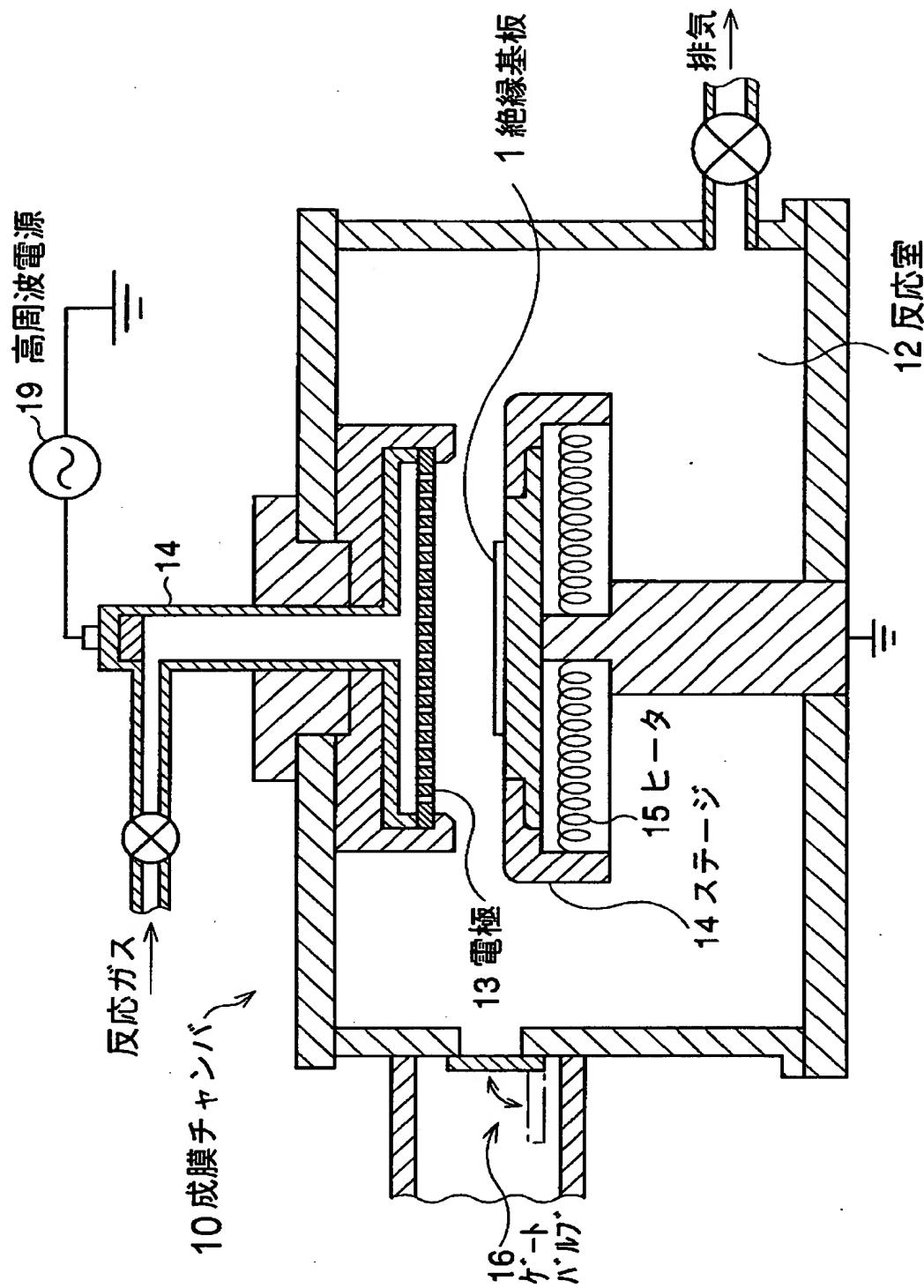
【図2】



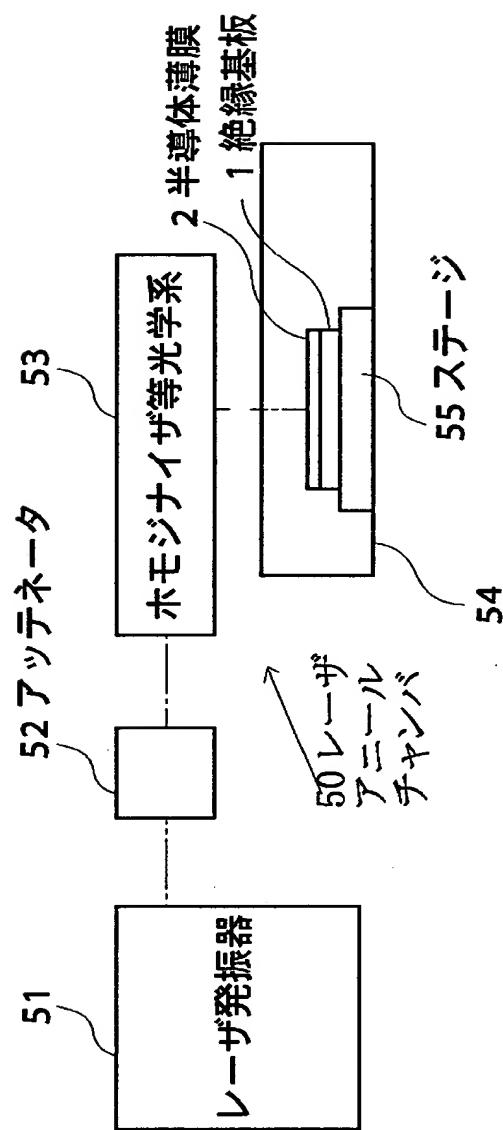
【図3】



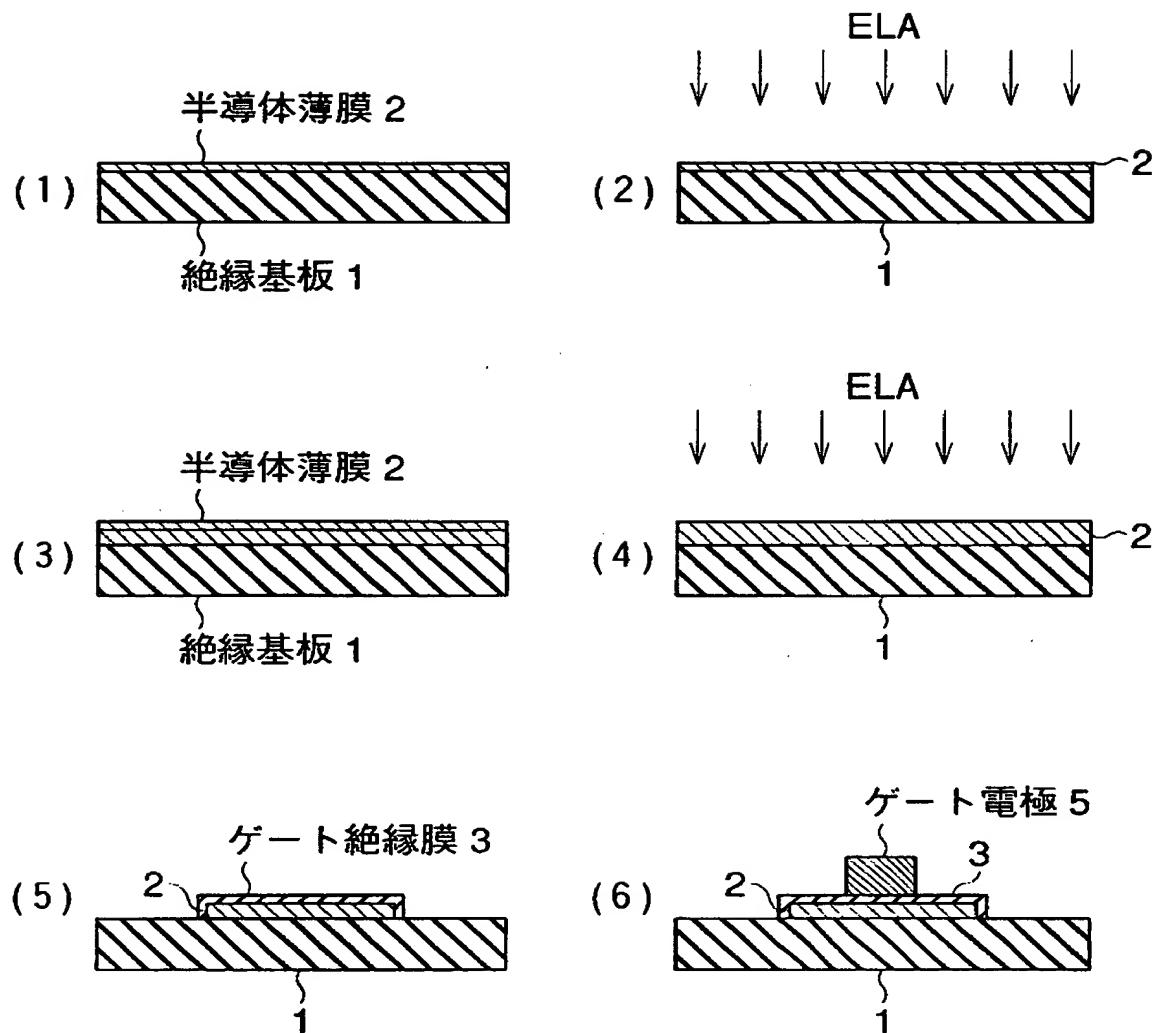
【図4】



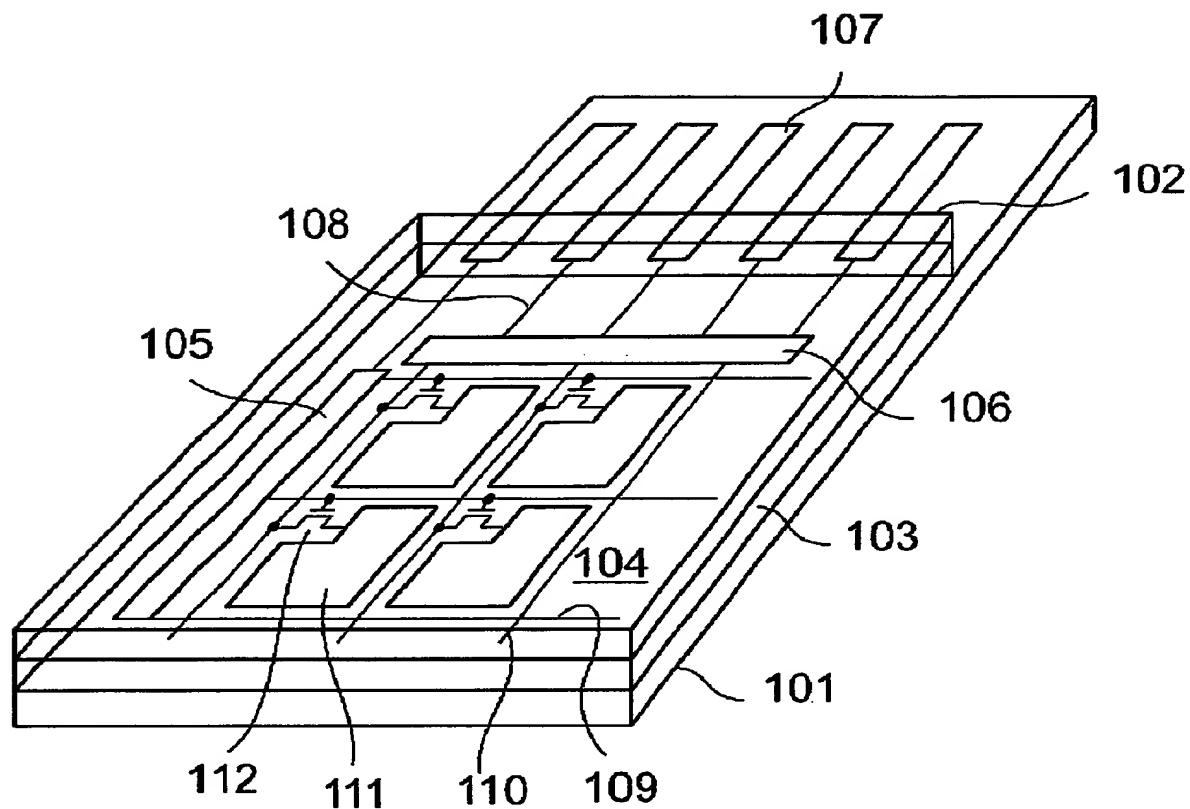
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 レーザアニールの生産性を高めるとともに結晶化された半導体薄膜の品質を改善する。

【解決手段】 半導体薄膜製造方法は薄膜半導体デバイスの製造プロセスの一貫として行なわれ、所定の前工程と後工程との間に実施される。基板の上に非晶質又は比較的粒径の小さな多結晶の半導体薄膜を形成する成膜工程と、所定の断面積を有するレーザ光を半導体薄膜の所定の領域に照射して非晶質又は比較的粒径の小さな多結晶を一括で比較的粒径の大きな多結晶に転換するレーザアニール工程とを行なう。基板を大気に曝露することなく成膜工程とレーザアニール工程とを交互に繰り返して半導体薄膜を重ねていく。この様な真空中連続処理を採用することで、大気からの汚染物質やダストなどを除去する工程が不要となる。又、成膜工程とレーザアニール工程を交互に繰り返すことで、高品質の結晶を形成することができる。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社